






Method for manufacture of semiconductor device

Patent number: CN1256510
Publication date: 2000-06-14
Inventor: SHUNPEI YAMAZAKI (JP); HONGYONG ZHANG (JP);
YASUHIKO TAKEMURA (JP)
Applicant: SEMICONDUCTOR ENERGY LAB (JP)
Classification:
- International: *H01L29/78; H01L21/00; H01L21/20; H01L21/324;
H01L21/336; H01L29/786; H01L21/00; H01L21/02;
H01L29/66; (IPC1-7): H01L21/336; H01L21/20;
H01L21/324*
- european:
Application number: CN19991018538 19990903
Priority number(s): JP19930048534 19930215

Also published as:

 JP6244205 (A)
 CN1779986 (A)
 KR100376372B (B)
 CN1230910C (C)
 CN1218361C (C)

Report a data error he

Abstract not available for CN1256510

Abstract of correspondent: **KR100376372B**

PURPOSE: To obtain a structure approximate to single crystal having excellent continuity by a method wherein a film, containing nickel, iron, cobalt, platinum I or their silicate and the like, is closely adhered to the silicon of the impurity region of a thin film transistor, and the region of crystal silicon is expanded using the above-mentioned material as a starting point. **CONSTITUTION:** A hole is formed on the silicon oxide film 13 on an impurity region 16, and nickel silicide films 17A and 17B are formed in such a manner that they are closely adhered to a semiconductor region 12 through the above-mentioned hole. The impurity region 16 and other semiconductor region are crystallized by conducting an annealing treatment at 550 [deg.]C for four hours in a nitrogen atmosphere. Lastly, a silicon nitride film of 5000Å in thickness is deposited as an interlayer insulator 18 in the same manner as an ordinary TFT is manufactured, a contact hole is formed thereon, and a wiring 19A and an electrode 19B are formed on a source region and a drain region. As a result, the reliability and the yield of production of a thin film transistor can be improved.

Data supplied from the **esp@cenet** database - Worldwide

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 21/336

H01L 21/20 H01L 21/324

[12] 发明专利申请公开说明书

[21] 申请号 99118538.2

[43]公开日 2000年6月14日

[11]公开号 CN 1256510A

[22]申请日 1994.2.15 [21]申请号 99118538.2

分案原申请号 94103242.6

[30]优先权

[32]1993.2.15 [33]JP [31]48534/1993

[71]申请人 株式会社半导体能源研究所

地址 日本神奈川县

[72]发明人 山崎舜平 张宏男 竹村保彦

[74]专利代理机构 中国专利代理(香港)有限公司

代理人 杨丽琴

权利要求书 2 页 说明书 12 页 附图页数 5 页

[54]发明名称 半导体器件的制造方法

[57]摘要

本发明涉及半导体器件的制法,它包括,在绝缘表面上形成岛形的含硅半导体膜;在该膜上形成栅绝缘膜;在栅绝缘膜上形成一对栅电极,使半导体膜分别确定一对第一区、第二区和一对第三区域。所述一对第一区中的每一个第一区均介于第二区与一个相邻于一对第三区中的一个区之间;将能促进结晶的催化剂附着在一对第三区上;加热半导体膜至其结晶。晶体生长是从一对第三区通过一对第二区向第一区生长。

ISSN 1008-4274

权 利 要 求 书

1. 一种制造半导体器件的方法，它包括以下的工艺：
在一种绝缘的表面上形成一种岛形的含硅半导体膜；
5 在所述半导体膜上形成一种栅绝缘膜；
在所述栅绝缘膜上形成一对栅电极，以便在所述半导体膜上分别确定一对第一区域、第二区域和一对第三区域，所述一对第一区域是在半导体膜中位于所述一对栅电极的正下方，所述第二区域是在半导体膜中，介于所述一对第一区域之间，所述一对第三区域则
10 与一对第一区域相邻接，其中所述一对第一区域中的每一个第一区域均介于所述第二区域与一个相邻于一对第三区域中的一个区域之间；
将一种能够促进硅结晶的催化剂附着在一对第三区域上；然后，
将所述半导体膜加热至使该半导体膜结晶化；其中，所述晶体
15 生长是从一对第三区域通过一对第二区域向着第一区域生长。
2. 根据权利要求 1 所述的方法，它还包括一种退火工艺：
在完成上述加热工艺以后，使所述半导体膜于含氯的气氛中，
在 400 - 650℃ 的温度下进行退火。
3. 根据权利要求 1 所述的方法，它还包括一种照射工艺：
20 在通过加热使所述半导体膜结晶化以后，用激光束或等同于激光束的光照射所述半导体膜。
4. 根据权利要求 1 所述的方法，其中，所述催化剂包括镍的醋酸盐。
5. 根据权利要求 1 所述的方法，其中，所述加热是在 450 - 650
25 ℃ 的温度下进行。
6. 一种制造半导体器件的方法，它包括以下的工艺：
在一种绝缘的表面上形成一种岛形的含硅半导体膜；
在所述半导体膜上形成一种栅绝缘膜；

在所述半导体膜上形成一种栅绝缘膜;

5 在所述栅绝缘膜上形成一对栅电极, 以便在所述半导体膜上分别划定一对第一区域、第二区域和一对第三区域, 所述一对第一区域是在半导体膜中, 位于所述一对栅电极的正下方, 所述第二区域是在半导体膜内, 介于一对第一区域之间, 而所述一对第三区域则与一对第一区域相邻接, 其中所述第一区域对中的每一个第一区域均介于一对第二区域与一个相邻于一对第三区域中的一个区域;

10 将一种能够促进硅结晶的催化剂附着在一对第二区域上; 然后, 加热所述半导体膜以使该半导体膜结晶, 其中, 晶体是由第二区域通过一对第二区域向一对第三区域方向生长的。

7. 根据权利要求 1 所述的方法, 其中, 所述栅电极包括一种选自钽、钛、硅和铬中的材料。

8. 根据权利要求 6 所述的方法, 其中, 所述栅电极包括一种选自钽、钛、硅和铬中的材料。

15 9. 根据权利要求 1 所述的方法, 其中, 所述半导体器件是一种 CMOS 器件。

10. 根据权利要求 6 所述的方法, 其中, 所述半导体器件是一种 CMOS 器件。

20 11. 根据权利要求 1 所述的方法, 其中, 在使所述半导体膜结晶以后, 所述催化剂在整个半导体膜中的浓度在 10^{15} 原子/厘米³ 至 1 原子% 的范围以内。

12. 根据权利要求 6 所述的方法, 其中, 在使所述半导体膜结晶以后, 所述催化剂在整个半导体膜中的浓度是在 10^{15} 原子/厘米³ 至 1 原子% 的范围内。

说明书

半导体器件的制造方法

5 本申请是分案申请，原申请的申请日为 1994 年 2 月 15 日，
申请号为 94103242.6，发明名称为“一种半导体器件及其制造方
法”。

本发明涉及一种用于薄膜器件，例如薄膜绝缘栅型场效应晶
体管(薄膜晶体管或 TFT)的晶态半导体的制造方法。

10 通常，采用使由等离子 CVD 方法或热 CVD 方法形成的非晶
硅薄膜在如电炉设备中，在高于 600℃ 温度下结晶化来制造用于
像薄膜绝缘栅型场效应晶体管(TFT)薄膜器件的晶态半导体薄
膜。

15 然而，这种常规方法存在许多问题。最大的问题是极难获得
好的产品。这是因为所获得的晶态硅膜是多晶的，并且晶粒间界
的控制也存在困难，且其可靠性和产量亦不高，这是由于其分散
(dispersion)特性所造成的。这就是说，由于用常规热处理获得的
硅晶体，完全是在无定向的情况下生长的，因此要控制晶体生长
的方向几乎是不可能的。

20 因此，本发明的目的是提供一种控制晶体生长的方法，以解决
上述存在的问题。

25 按照本发明，控制晶体生长，且获得具有高可靠性和高产
量的 TFT 是通过在非晶态或实质上可以说是非晶态的不规则的
晶态(例如部分为晶性，部分为非晶性的混合态)中的硅薄膜
上形成栅电极，用栅电极作掩模，在硅薄膜内形成掺杂区域，
形成至少包括镍、铁、钴、铂或钨中一种的区域，以便他们粘
着在掺杂区域部分上，并且使该整体进行退火，以便从包括镍

的区域开始使它结晶化。

特别是，本发明允许实际上消除在源和漏与有源层之间的晶粒间界，并且通过在有源层结晶化(沟道形成区域)的同时推进源和漏的结晶化来获得好的特性。

5 以一个作为晶核或作为籽晶的结晶岛薄膜为中心固相外延生长，硅薄膜晶体的方法已作为现有技术的方法提出(例如，日本专利公开 NO.1-214110，等)。然而，即使存在晶核抑制晶体从其它位置生长是困难的，即，因为用于晶体生长的热处理(退火，下同)温度是适合于晶核充分产生的温度，所以晶体经常是从不企望的位置开始生长。

10 本发明的发明人发现镍、钴、铁、铂和钯是容易与硅结合的，并且以他们为中心生长晶体，发明人注意到镍容易形成硅化镍(NiSi_x , $0.4 \leq x \leq 2.5$)，且硅化镍的晶格常数与硅晶体的晶格常数接近，于是发明了以硅化镍为中心生长硅晶体的方法。实际上，该晶体生长温度能比常规方法降低 20°C 到 150°C 。因为在该温度下，在纯硅薄膜中不产生晶核，故晶体不会从不企望的位置生长，假定晶体的生长是采用与常规方法相同的机理从晶核开始，并且在晶核不会自然生长的温度(最好低于 580°C)下温度越高，晶化进行的速度越快，采用铁(Fe)，

15 钴(Co)，铂(Pt)和钯(Pd)也有同样的效果。

20 按照本发明，将一包含镍，铁，钴，铂或钯或它们的硅化物，醋酸盐，硝酸盐和其它有机酸盐单一物质的薄膜或类似物粘结到薄膜晶体管的掺杂区域并且该晶体硅区域从作为起始点薄膜扩展开来。另外，氧化物作为包含上述材料的材料是不可取的，因为氧化物是一种稳定的化合物，并且从这里不会产生很可能变成晶核的硅化物。

25 因此从特定位置扩展的晶体硅具有与良好的连续结晶性单晶体相近的结构。用具有少量氢浓度的非晶硅膜作为结晶化的起始材料，能获得更好的结果。然而，因为进行结晶化时释放出氢，在获得的硅薄膜中的氢浓度和作为起始材料的非晶硅膜的氢浓度之间看不出有明

显的关系。在本发明的晶体硅中，氢浓度一般大于 1×10^{15} 原子·厘米⁻³(atoms·cm⁻³)0.01 原子% 和小于 5 原子%。

当像镍、铁、钴或铂或钯中的一种重金属材料用到本发明中时，这些材料本身不适合于作为半导体材料的硅，假如这些元素含量过多，则必须将他们除去。发明人从进行的研究的一个结果中发现在 400 - 650℃ 下，在氯化氢，各种氯化甲烷(CH₃Cl 等)，各种氯化乙烷(C₂H₅Cl₃ 等)和各种氯化乙烯(C₂HCl₃ 等)的气氛中进行热处理，能够完全除去镍。还发现本发明的硅膜中，镍、铁、钴、铂或钯的浓度最好选择在 1×10^{15} cm⁻³ 到 1 原子%，或镍、铁、钴、铂和钯的最小浓度最好选择在 1×10^{15} cm⁻³ 到 1×10^{19} cm⁻³，采用 SIMS 测量值。在浓度低于该范围时，结晶化进行得不充分，反之，当浓度超过该范围时，其特性和可靠性则下降。

可以采用各种物理和化学方法来形成镍、铁、钴、铂或钯膜。例如，它们是需要真空设备的那些方法，像真空沉积方法，溅射方法和 CVD 方法，以及可以在大气中完成的一些方法，像旋转涂覆法，浸渍法(涂布法(application method))，刮刀法，丝网印刷法和喷射热分解法。

虽然旋转涂覆法和浸渍法不需要特殊设备，但他们生产的薄膜具有均匀的薄膜厚度和精确控制的浓度。作为用于这些方法中的溶液，不论是镍、铁、钴、铂或钯的醋酸盐，硝酸盐或各种羧酸盐或其它有机酸盐溶解或分散在水、各种乙醇(低和商品位)和石油(饱和的碳氢化合物或不饱和的碳氢化合物)中都可以采用。

然而，在此情况下，含在这些盐中的氧和碳有可能扩散到硅膜中，从而降低半导体的特性。但是，通过热平衡方法和差示热分析提出的研究结果证明他们在低于 450℃ 温度下，被分解成适当的材料的氧化物或单质，并且在此后，它们并不扩散到硅膜中。当醋酸盐和硝酸盐这类低级物质在还原气氛如氮的气氛中被加热时，它们在低于 400℃ 下分解，并且变成单金属体。同样，当它们在氧气中被加热时，

一开始就产生氧化物，并且在较高温度下，放出氧后变成金属单质。

上述方法和本发明达到的其它目的将从说明书，权利要求书和附图中变的更明显。

5 图 1(A) - 1(C)是表示本发明一个实施例工艺剖面图(指的是第一实施例);

图 2(A) - 2(D)是表示本发明一个实施例工艺剖面图(指的是第二实施例);

图 3(A) - 3(D)是表示本发明一个实施例工艺的剖面图(指的是第三实施例);

10 图 4(A) - 4(D)是表示本发明的一个实施例的工艺剖面图(指的是第四实施例);

图 5 是表示在晶体硅中镍浓度的曲线图(指第四实施例)。

参照本发明的附图，对最佳实施例进行说明。

[第一实施例]

15 用等离子 CVD 方法，在基片(Corning 7059) 10 上形成 2000 埃(angstroms)厚度的底材氧化硅薄膜 11，接着用等离子 CVD 或真空 CVD 方法制成厚度为 200 - 3000 埃或最好为 500 - 1500 埃的非晶硅膜。通过在 350℃到 450℃下热处理 0.1-2 小时，使之脱氢，使氢在薄膜中的浓度降低到低于 5 原子%，很容易使非晶硅膜结晶化。然后被构图以形成岛形硅区域 12。接着用 RF 等离子 CVD，ECR 等离子 CVD 或溅射方法形成厚度为 500 - 1500 埃起栅绝缘薄膜作用的氧化硅膜 13。当采用等离子体 CVD 法时，用 TEOS(四乙氧硅烷)和氧作为原始气体能获得合适的结果。然后，用溅散方法淀积含 1% 硅的钽膜(厚度为 5000 埃)，并且构图以形成栅布线和电极 14。钛，硅，铬或铝
20 可作为栅电极材料。
25

于是，将基片浸泡在 3% 酒石酸的乙酸乙二醇溶液中并放置在有电流流通的铂阴极和钽丝阳极之间进行阳极氧化，所施加的电流是这样的，即其电压以 2v/min 提升，当达到 220V 时，电流变为恒定值。

当降低到低于 10 微安/米² 时, 电流截止。结果, 形成一个厚度为 2000 埃的阳极氧化物 15(氧化钽)。当用钛、铝或硅作为栅电极时, 同样能获得作为阳极氧化物的氧化钛、氧化铝或氧化硅(图 1(A))。

接着, 通过等离子掺杂方法引入杂质。至于掺杂气体, 对 N 型 TFT 采用磷化氢(PH₃), 对 P 型 TFT 采用乙硼烷(B₂H₆)。图中所示为 N 型 TFT。对磷化氢的加速电压为 80KeV, 而对乙硼烷为 65KeV。由此形成掺杂区 16A 和 16B。此时, 由图看出这些掺杂区和栅电极是不重合的。随后在掺杂区上氧化硅膜 13 上建立孔, 以形成硅化镍(或镍)膜 17A 和 17B, 以使他们通过孔粘结到半导体区 12, 然后在 550 °C 的氮气中进行四小时的热处理, 以使掺杂区 16 和其它半导体区结晶化(图 1(B))。

最后, 在采用与制造常规 TFT 的方法同样方式沉积厚度为 5000 埃的氧化硅薄膜作为层间绝缘层 18, 同时形成穿通层间绝缘层的接触孔, 以便在源区和漏区域上形成布线和电极 19A 和 19B。铝、钛、氮化钛或由他们组成的多层膜适合作为布线和电极材料。在本实施例(图 1(C))中, 采用了氮化钛(厚 1000 埃)和铝(厚 5000 埃)的多层薄膜。

通过上述工艺制成 TFT(图为 N 沟道型)。所获得的 TFT 的场效应迁移率(mobility)在 N 沟道型中是 40 - 60cm²/Vs, 在 P 沟道型中是 30 - 50cm²/Vs。另外, 甚至在栅和漏之间施加 48 小时的 17 至 25V 的电压, 仍能获得几乎不变的阈值电压, 场效应迁移率和亚阈值特性以及高可靠性。这是由于源、漏和沟道形成区域(在栅电极下的半导体区域)同时被结晶化, 并且它们的结晶化方向是相同的。

[第二实施例]

用等离子体 CVD 方法在基片(Corning 7059)20 上形成厚度为 2000 埃的底材氧化硅膜 21。接着用等离子体 CVD 或真空 CVD 方法制成厚度为 200 至 3000 埃或最佳为 500 至 1500 埃的非晶硅膜。通过在 350 °C 至 450 °C 热处理 0.1 - 2 小时, 使之脱氢降低氢在薄膜中的浓度, 使之低于 5 原子%, 能容易的形成非晶硅膜。然后, 构图以形成岛形硅

区域 23. 随后用 RF 等离子 CVD, ECR 等离子 CVD 或溅射方法形成厚度为 500 至 1500 埃, 作为栅绝缘膜的氧化硅膜 24. 当采用等离子 CVD 方法时, 使用 TEOS(四乙氧硅烷)和氧作为原始气体能获得满意的结果. 接着用 LPCVD 方法沉积含 1% - 5% 磷的多晶硅膜(厚度为 5000 埃), 并构图以形成栅布线和电极 25A 和 25B(图 2(A)).

在这之后, 用离子掺杂方法使杂质向该处扩散, 以形成 N 型掺杂区 26A 和 P 型杂质区 26B. 此时, 磷(掺杂气体为磷化氢 PH_3)能被用作 N 型杂质, 用 60 - 110KV 或例如 80KV 加速电压使整个表面掺杂, 此后在 40 - 80KV 例如 65KV 的加速电压下, 硼(掺杂气是乙硼烷 B_2H_6)能作为 P 型掺杂的杂质, 例如, 用光刻胶覆盖 N 沟道型 TFT 区域.

接着, 在杂质区上的氧化硅薄膜 24 中开一些孔, 以形成厚度为 200 - 1000 埃或例如 300 埃的硅化镍(或镍)薄膜 27A 和 27B, 从而使他们通过孔粘结到杂质区 26. 然后, 在 550℃ 的氮气中进行四小时热处理, 以使杂质区 26 和其它半导体区结晶化. 此时, 晶体的生长从岛形半导体区域两端部同时推进, 并围绕其中央完成. 因此, 在沟道形成区域不产生颗粒间界, 而且对 TFT(图 2(B))的特性也没有不利的影响.

另外, 硅化镍膜 27C 可设于岛形半导体区域的中央, 如图 2(C)所示. 在这种情况下, 结晶化是从中心推进的(图 2(C)).

最后, 采用与制造常规 TFT 方法相同的措施, 沉积厚度为 5000 埃的氧化硅膜作为层间绝缘体 28, 并通过层间绝缘体建立接触孔, 以形成源区和漏区域上的布线和电极 29A, 29B 和 29C. 铝、钛、氮化钛或它们的多层膜作为布线和电极材料是合适的. 在这种情况下, 采用的是氮化钛(1000 埃厚)和铝(5000 埃厚)的多层膜.

用上述工艺制成 CMOS 型 TFT. 然后用如此制成的 CMOS 电路来制造一个移位寄存器, 以研究它的工作特性. 结果, 当漏电压是 15V 时, 最大工作频率为 11MHz, 当漏电压是 17V 时, 最大工作频率为

18MHz.

[第三实施例]

本实施例涉及一种方案，以此方案，在实施第一实施例的工艺 - 加热促进结晶化之后，再用激光束辐照，使之退火，来进一步改进
5 半导体区的结晶度。

其制造工艺说明如下，参考图 3. 用等离子体 CVD 方法在基片 30(Corning 7059)上形成厚度为 2000 埃的底材氧化硅膜 31. 进一步，用等离子体 CVD 或真空 CVD 方法制造厚度为 200 - 3000 埃或最好为 500 - 1500 埃的非晶硅膜。通过在 350 - 450℃ 下热处理 0.1 - 2 小时脱氢使薄膜中氢浓度降低到低于 5 原子%，能容易的使非晶硅膜结晶化。然后构图以形成岛形硅区域 32. 随后用 RF 等离子 CVD, ECR 等离子 DVC 或溅射方法形成厚度为 500 - 1500 埃的氧化硅膜 33, 它起栅绝缘膜的作用。当采用等离子体 CVD 方法时，用 TEOS(四乙氧硅烷)和氧作为原始气体能获得满意的结果。

15 之后，用溅射方法沉积含有 1% 硅的钽膜(厚 5000 埃)，并构图以形成栅布线和电极 34. 钛，硅，铬或铝可作为栅电极的材料。

然后，将基片浸泡在 3% 酒石酸的 1, 2-亚乙基二醇溶液中，并且设置铂作为阴极，钽丝作为阳极在两电极之间通以电流进行阳极氧化。这样施加电流，使电压以 2V/min 上升，当达到 220V 时，电
20 流恒定。当电流降低到 10 微安/米²时，电流截止。结果，形成厚度为 2000 埃的阳极氧化物(氧化钽)。同样，当钛，铝或硅被用作为栅电极(图 3(A))时，能获得作为阳极氧化物的氧化钛，氧化铝或氧化硅。

接着，用等离子掺杂方法将杂质引入，作为掺杂气体，对 N 型 TFT 采用磷化氢(PH₃)，对 P 型 TFT 采用乙硼烷(B₂H₆)。图中表示的是 N 型 TFT. 所用的加速电压对磷化氢是 80KeV, 对乙硼烷是 65KeV.
25 从而形成杂质区域 36A 和 36B. 此时，如图所见，杂质区域和栅电极是不重合的。进一步，在杂质区域上的氧化硅薄膜 33 中建立孔，以使形成的硅化镍(或镍)膜 37A 和 37B 通过这些孔粘结到半导体区

域 32。然后在 550℃ 氮气中进行四个小时的热处理，以使杂质区 36A 和 36B 以及其它半导体区域(图 3(B))结晶化。

接着，用一个 KrF 准分子激光器照射在其上以促进结晶化，(激光器波长：248nm，脉宽：20nsec)，此处用 200 - 400mJ/cm² 能量密度或例如 250mJ/cm² 能量密度进行两次激光束照射。进一步，此时，在激光束照射的同时，使基片加热到 300℃，以增加激光束照射的效果。基片的加热温度可在 200℃ 到 450℃ 之间。

XeCl(波长：308nm)，ArF(波长：193nm)或类似的都可用作激光束。用强光代替激光束照射也是可能的。用红外光束在短时间内照射实现 RTA(快速热退火)特别有效，因为它允许硅膜有选择地进行加热。

由此能获得结晶度好的硅膜，这样处理的结果，用热退火结晶化的区域成为具有改良结晶度的硅膜。根据透射型(transmission type)电子显微镜所进行的观察，在本发明的结晶化方法之后，在激光照射区域看到相同方向的较大晶体。

最后，以与制造常规 TFT 方法相同的手段，沉积厚度为 5000 埃的氧化硅膜作为层间绝缘体 38，并通过层间绝缘体建立接触孔，以便在源区和漏区域上形成布线和电极 39A 及 39B。铝、钛、氮化钛或它们的多层膜适合作为布线和电极材料。在本实施例中，采用氮化钛(厚 1000 埃)和铝(厚 5000 埃)的多层膜。用上述工艺(图 3(C))制成 TFT(图为 N - 沟道型)。

[第四实施例]

本实施例是用含有加速结晶化的催化元素的溶液将催化元素引入非晶硅膜的一种方法。

参考图 4，以说明其制造工艺。首先，用等离子 CVD 方法，在 10cm 见方的基片(Corning 7059)40 上，形成厚度为 2000 埃的底材氧化硅薄膜 41。用等离子 CVD 或真空 CVD 方法制造厚度为 200 - 3000 埃，最好选择 500 - 1500 埃的非晶硅膜。通过在 350 - 450℃ 下，热

处理 0.1 - 2 小时脱氢使该薄膜中氢浓度降低到低于 5 原子%，能容易的使非晶硅膜结晶化。然后构图以形成岛形硅区域 42。

5 然后，用 RF 等离子 CVD，ECR 等离子 CVD 或溅射方法形成厚度为 500 - 1500 埃的氧化硅膜 43 作栅绝缘膜。当采用等离子 CVD 方法时，使用 TEOS(四乙氧硅烷)和氧作为原始气体能获得满意的结果。随后用溅射方法沉积含 1% 硅的钽膜(厚 5000 埃)，并且构图以形成栅布线 and 电极 44，钛、硅、铬或铝可以用作栅电极材料。

10 之后，将基片浸泡到 3% 的酒石酸的 1, 2-亚乙基二醇溶液中，并且设置铂作为阴极，钽丝作为阳极使两极之间通以电流进行阳极氧化，电流是如此施加的，即电压以 2V/min 提升当其达到 220V 时，电流变为恒定值。当电流降到 10 微安/米² 时，电流截止。结果形成厚度为 2000 埃的阳极氧化物(氧化钽)45。同样，当用钛，铝或硅作为栅电极时，能获得作为阳极氧化物的氧化钛，氧化铝或氧化硅。(图 4(A))。

15 接着，用等离子掺杂方法引入杂质。作为掺杂气体，磷化氢(PH₃)用于 N 型 TFT，乙硼烷(B₂H₆)用于 P 型 TFT。图中所示为 N 型 TFT。加速电压对磷化氢为 80KeV，对乙硼烷为 65KeV。由此产生杂质区域 46A 和 46B。此时，由图(图 4(B))中看出，杂质区和栅电极不重合。

20 进一步，在杂质区上的氧化硅薄膜中建立孔。然后在氧气中，用紫外线束在其上照射 5 分钟形成一个薄的氧化硅薄膜 51。该氧化硅膜 51 的厚度定为约 20 - 50 埃。

25 形成氧化硅膜是为了改善在后继工序中所用溶液的润湿度。在该情况下，滴入 5ml 的加了 100ppm(比重量)镍的醋酸盐溶液(在基片为 10cm 见方的情况下)。此时，用旋涂器 41 以 50 转/分旋涂 10 秒钟，从而在该基片整个表面上形成均匀的水薄膜 52。随后，在该情况下，使该基片保持 5 秒钟之后，用旋涂器 41，以每分钟 2000 转的速度进行 60 秒钟的旋转干燥。顺便提一下当旋涂器以 0 - 150rpm 旋转时，它可以置于旋转器上(图 4(C))。

另外，虽然图 4(C)画出的好像在旋转器 41 上被安置的基片 40 上只设置一个 TFT，实际上，在基片 40 上形成大量的 TFT。

其后，在 550℃ 热处理四小时，使非晶硅膜 42 结晶化(在氩气中)。此时，晶体在水平方向从掺入镍的区域(与氧化物薄膜 51 接触的区域)向未引入镍的区域生长。

为获得第三实施例所说的薄膜，用激光或等强光照射，对改进晶体硅膜的结晶度是有效的。因为在第三实施例中，硅薄膜内的镍浓度相当高，在激光照射下，硅薄膜中形成沉淀在硅薄膜中的镍和大约为 0.1 - 10 微米的硅化镍颗粒，因此破坏了该薄膜的结构。然而，因为本实施例允许镍浓度降低到大于第三实施例的范围，因此没有沉淀的硅化镍，并且在激光照射下能防止薄膜变得粗糙。

图 5 表示，在 SIMS 中完成结晶化工序之后，在标号 50 指示的区域中，对镍浓度研究的结果。该区域是由从直接引入镍的区域开始晶体生长被结晶化的区域，它起 TFT 沟道形成区域的作用。已证明，在直接引入镍的区域中镍的浓度比图 5 所示浓度分布高一位数。这就是说，已证明，在完成之后，沟道形成区域的镍浓度比 TFT 的源/漏区域的镍浓度低不止一位数，如图 5 所示。

图 5 中所示的镍浓度可通过控制溶液中镍的浓度加以控制。当在本实施例中溶液中镍浓度为 100ppm 时，发现甚至用 10ppm 镍浓度也有可能结晶化。在此情况下，图 5 所示的镍浓度能进一步降低一位数。然而，当溶液中镍浓度被降低时，出现一个问题，即晶体从引入镍区域在水平方向生长的距离变短。

最后，采用与制造常规 TFT 方法相同的措施，沉积厚度为 5000 埃的氧化硅膜作为层间绝缘体 48，通过此层向绝缘体建立接触孔以形成源区和漏区域上的布线和电极 49A 和 49B。铝、钛，氮化钛或它们的多层膜适合作布线和电极材料。在本情况中，采用了氮化钛(厚 1000 埃)和铝(5000 埃厚)的多层膜。

虽然本实施例中采用了醋酸盐溶液作为含催化元素的溶液，但

是采用水溶液，有机溶剂溶液或类似溶液是可行的。此处的催化元素可以被含有，但不作为化合物，只作为分散质。

从极性溶剂的水，酒精、酸和氨中选出的一种溶剂可以作为含催化元素的溶剂使用。

5 当用镍作催化剂，并使其含在极性溶剂中时，以镍化合物被掺入。作为镍化合物，一般采用从溴化镍、乙酸镍、草酸镍、碳酸镍、氯化镍、碘化镍、氮化镍、硫酸镍、甲酸镍、乙酰丙酮镍、4-环己基丁酸镍，氧化镍和氢氧化镍中选择出的一种化合物。

10 作为溶剂，可从非极性溶剂的苯、甲苯、二甲苯、四氯化碳、三氯甲烷和乙醚中选出一种使用。

在这种情况下，加入镍作为镍化合物，一般使用的镍化合物是从乙酰丙酮镍和 2-乙基己酸镍(nickel 2-ethylhexanodic acid)中选择一种。

15 将一种表面活性剂加到含催化元素的溶液中，以改善与待涂表面的粘接性和控制它的吸附作用也是有效的。将表面活性剂预先涂到待涂表面上也是可能的。当用单质镍作为催化元素时，必须将其用酸溶解到溶液中。

20 虽然上面已经说明采用镍催化元素完全溶解到溶液中的情况，但采用这样的乳剂材料是可能的，该乳剂中的由单质镍或镍化合物构成的粉末均匀分散在分散介质中，镍没有完全溶解。像这样一种溶液，可使用从 Tokyo Ohka kogyo Co., Ltd 获得 OCD(Ohka Diffusion Source)。采用 OCD 溶液涂在要形成膜的表面上，并将它在约 200℃ 下烘烤，就能容易的制成氧化硅膜。另外，因为它允许杂质自由地加入，因此它们能被使用。

25 上述说明也适合于采用镍以外的材料作为催化元素的情况。

此外，采用非极性溶液，如 2-乙基己酸镍(nickel 2-ethylhexanodic acid)的甲苯溶液允许直接将其涂于非晶硅膜表面上。在该情况中，预先涂覆这种材料作为粘合剂用于保护膜是有效的。然

而，必须注意，这种溶液不能涂的太多，因为它将减弱催化元素掺入非晶硅中的量。

5 尽管含在溶液中的催化元素之数量取决于溶液的类型，但对溶液来说一般趋向采用的量为 200ppm - 1ppm 为合适，或优选为 50ppm - 1ppm(比重量)。该值是在结晶化结束之后，考虑了薄膜中镍浓度和氢氟酸电阻确定的。

10 如上所述，本发明能控制晶体生长的方向，这在过去是困难的，同时能明显的改善薄膜晶体管的可靠性和产量。另外，因为对本发明所需要的设备、装置和工艺是非常一般的，且大批量生产率也是极好的，所以本发明对工业生产提供了不可估量的利益。因此本发明是在工业上是有益的并是可专利的。

虽然本发明已经参照一些最佳实施例作了具体的说明和描述，但是本领域的技术人员应当理解在不偏离本发明的精神和范围下，前述的和其它改变的结构和细节是能由此做出的。

15

说明书附图

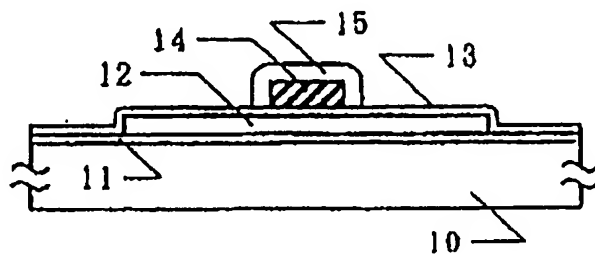


图 1 (A)

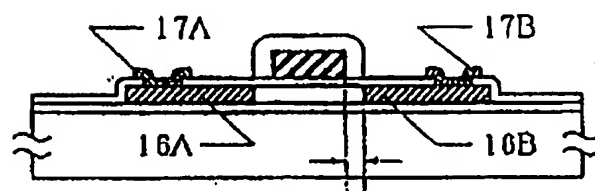


图 1 (B)

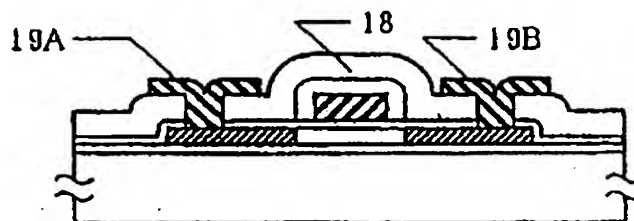


图 1 (C)

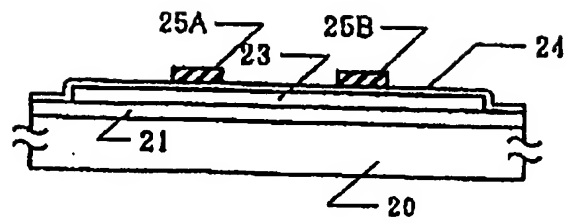


图 2(A)

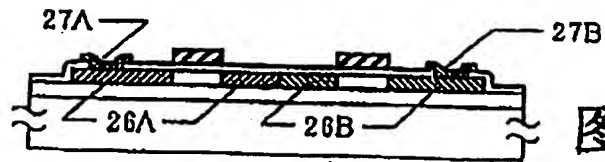


图 2(B)

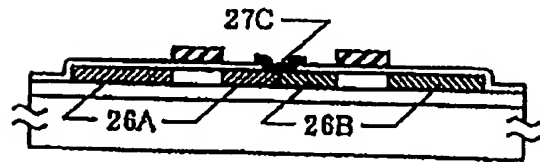


图 2(C)

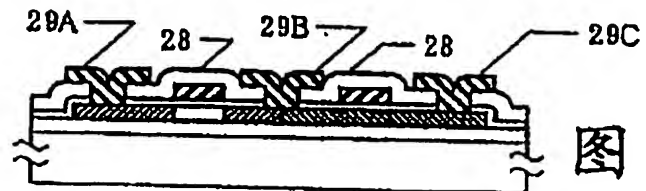


图 2(D)

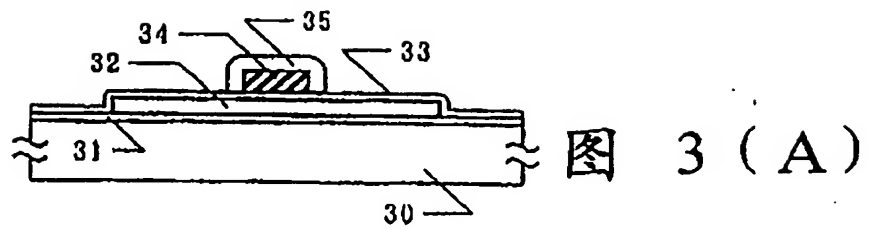


图 3 (A)

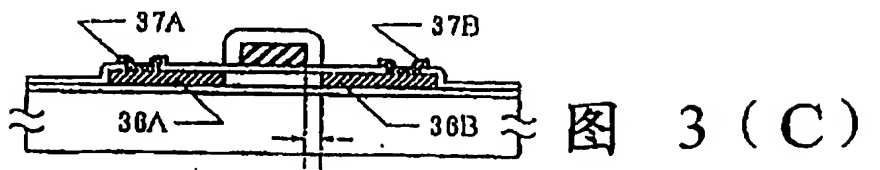


图 3 (C)

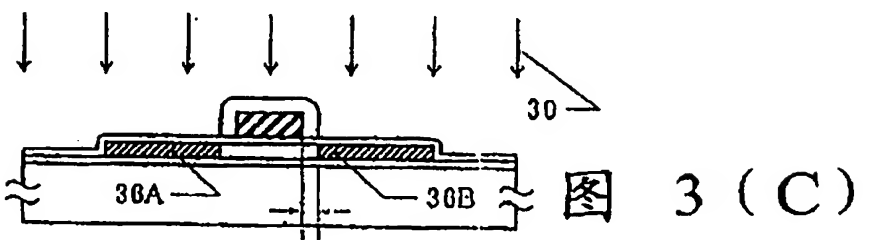


图 3 (C)

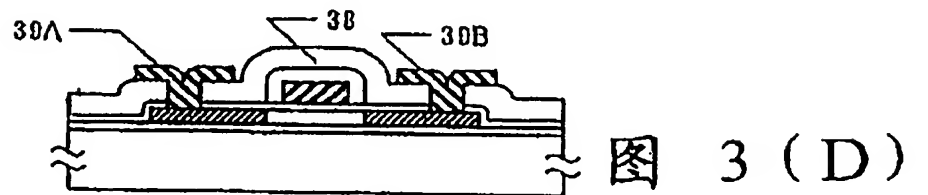


图 3 (D)

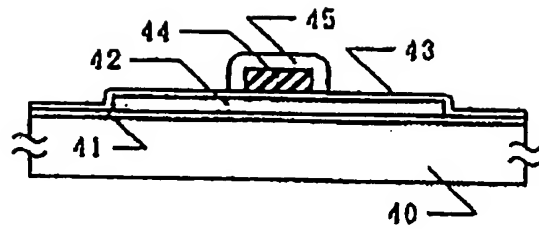


图 4 (A)

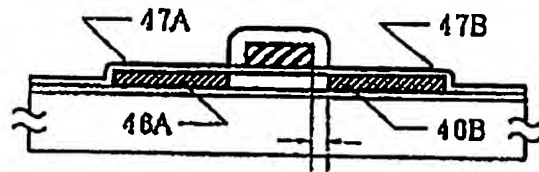


图 4 (B)

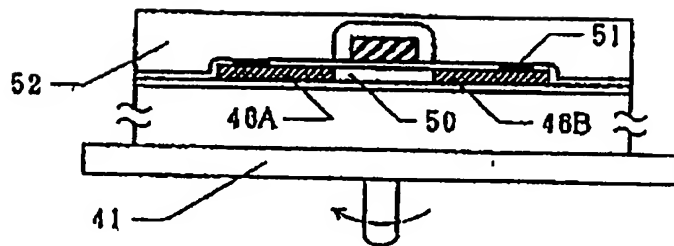


图 4 (C)

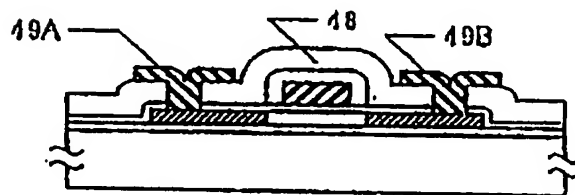


图 4 (D)

99-09-08

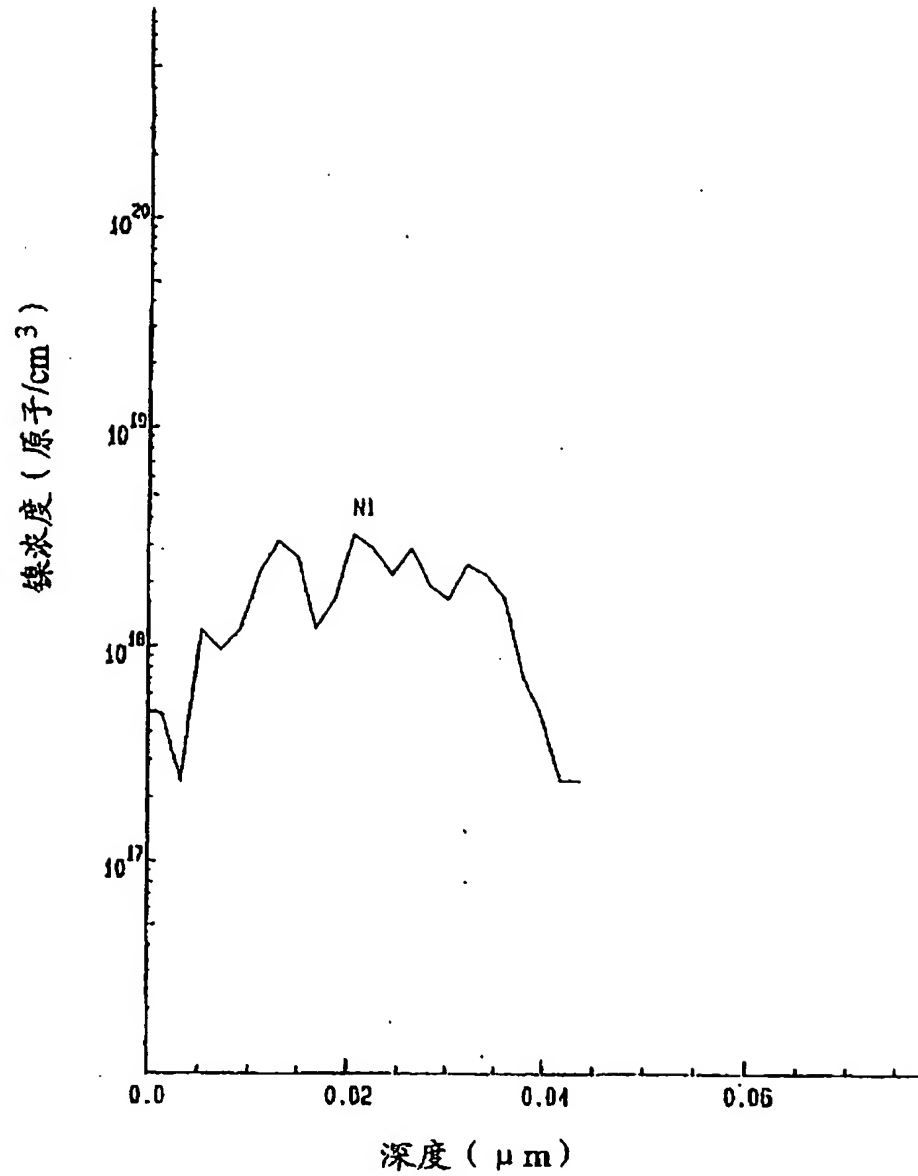


图 5